

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-298241

(43)Date of publication of application : 18.11.1997

(51)Int.Cl.

H01L 21/768

H01L 21/316

(21)Application number : 08-237539

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 09.09.1996

(72)Inventor : AOI NOBUO

(30)Priority

Priority number : 08 48597

Priority date : 06.03.1996

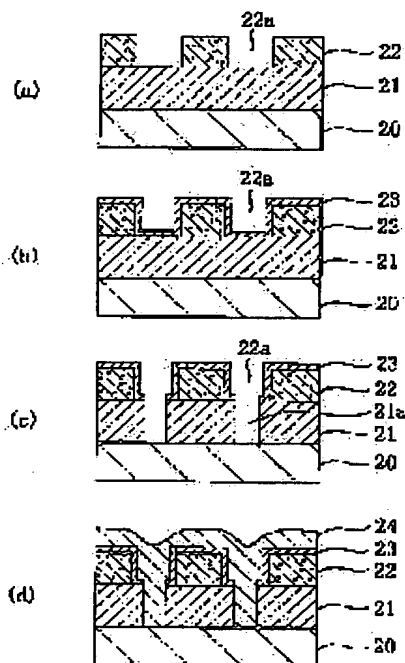
Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To form a buried wiring in a porous interlayer insulating film in a semiconductor device.

SOLUTION: A first silicon oxide film 21 is deposited on a semiconductor substrate 20 by a CVD method, and a porous film 22 is deposited on the first silicon oxide film 21. Thereafter, the porous film 22 is etched so as to form a wiring groove 22a. Next, a second silicon oxide film 23 is deposited over the entire porous film 22 by the CVD method, and the first and second silicon oxide films 21 and 23 are etched so as to form a through hole 21a in the first and second silicon oxide films 21 and 23. Next, a conductive film 24 is deposited over the entire second oxide film 23, and CMP is performed on the conductive film 24, so as to form a wiring layer of the conductive film 24.



LEGAL STATUS

[Date of request for examination]

22.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2915357

[Date of registration]

16.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

02PR007A

先行技術

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-298241

(43)公開日 平成9年(1997)11月18日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	M
21/316			21/316	G
				X

審査請求 未請求 請求項の数 7 O L (全 10 頁)

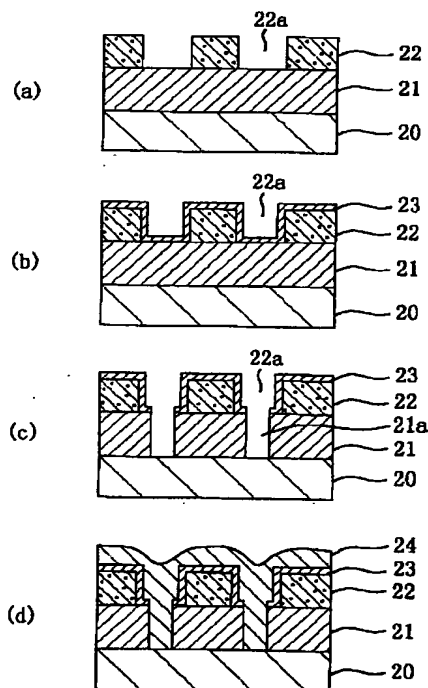
(21)出願番号	特願平8-237539	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成8年(1996)9月9日	(72)発明者	青井 信雄 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平8-48597	(74)代理人	弁理士 前田 弘 (外2名)
(32)優先日	平8(1996)3月6日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 半導体装置において多孔質よりなる層間絶縁膜に埋め込み配線を形成できるようにする。

【解決手段】 半導体基板20の上にCVD法により第1のシリコン酸化膜21を堆積した後、該第1のシリコン酸化膜21の上に多孔質膜22を堆積する。その後、多孔質膜22に対してエッチングを行なって配線用溝22aを形成する。次に、多孔質膜22の上に全面に亘ってCVD法により第2のシリコン酸化膜23を堆積した後、第1のシリコン酸化膜21及び第2のシリコン酸化膜23に対してエッチングを行なって、第1のシリコン酸化膜21及び第2のシリコン酸化膜23にスルーホール21aを形成する。次に、全面に亘って導電膜24を堆積した後、該導電膜に対してCMPを行なって、導電膜24よりなる配線層を形成する。



【特許請求の範囲】

【請求項 1】 第 1 の配線層が形成された半導体基板

と、

前記半導体基板の上に形成された第 1 のシリコン酸化膜

と、

前記第 1 のシリコン酸化膜の上に形成された多孔質膜

と、

前記第 1 のシリコン酸化膜に形成されたスルーホール

と、

前記多孔質膜に形成され、前記スルーホールと連通する

10 配線用溝と、

前記配線用溝の底部及び壁部に形成された第 2 のシリ

コン酸化膜と、

前記スルーホールに埋め込まれた導電膜よりなるコンタ

クトと、

前記配線用溝における前記第 2 のシリコン酸化膜の内側

に埋め込まれた導電膜よりなる第 2 の配線層とを備えて

いることを特徴とする半導体装置。

【請求項 2】 前記多孔質膜は、有機 SOG 膜又は無機

SOG 膜よりなることを特徴とする請求項 1 に記載の半

導体装置。

【請求項 3】 第 1 の配線層が形成された半導体基板の

上に第 1 のシリコン酸化膜を堆積する第 1 の工程と、

前記第 1 のシリコン酸化膜の上に多孔質膜を堆積する第

2 の工程と、

前記多孔質膜に配線用溝を形成する第 3 の工程と、

前記配線用溝を含む前記多孔質膜の上に第 2 のシリコン

酸化膜を前記配線用溝が埋まらないように堆積する第 4

の工程と、

前記第 2 のシリコン酸化膜及び前記第 1 のシリコン酸化

30 膜にスルーホールを形成する第 5 の工程と、

前記スルーホール及び前記配線用溝を含む前記第 2 のシ

リコン酸化膜の上に全面に亘って導電膜を堆積する第 6

の工程と、

前記導電膜における前記第 2 のシリコン酸化膜の上に露

出している部分を除去して、前記導電膜よりなる第 2 の

配線層を形成する第 7 の工程とを備えていることを特徴

とする半導体装置の製造方法。

【請求項 4】 前記第 2 の工程は、シラノール縮合体微

40 粒子を含むシラノールゾル溶液にシリル化剤を添加する

ことにより、前記シラノール縮合体微粒子の残留シラノ

ール基をシリル基で化学修飾する工程と、前記シリル基

により化学修飾された前記シラノール縮合体微粒子を含

むシラノールゾル溶液を半導体基板上に塗布して塗布膜

を形成する工程と、前記塗布膜に対して熱処理を施して

前記シリル基を熱分解すると共に前記残留シラノール基

を脱水縮合させることにより、前記塗布膜を多孔質化す

る工程とを含むことを特徴とする請求項 3 に記載の半導

50 体装置の製造方法。

【請求項 5】 前記第 2 の工程は、シラノール溶液に酸

又はアルカリの存在下においてシリル化剤を添加することにより、前記シラノール溶液に含まれるシラノールの残留シラノール基をシリル基で化学修飾する工程と、前記シリル基により化学修飾されたシラノールを含むシラノール溶液を半導体基板上に塗布して塗布膜を形成する工程と、前記塗布膜に対して熱処理を施して前記シリル基を熱分解すると共に前記残留シラノール基を脱水縮合させることにより、前記塗布膜を多孔質化する工程とを含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 6】 第 1 の配線層が形成された半導体基板の上に多孔質膜よりなる層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜の上に第 2 の配線層を形成する配線層形成工程とを備えた半導体装置の製造方法であって、

前記層間絶縁膜形成工程は、シラノール縮合体微粒子を含むシラノールゾル溶液にシリル化剤を添加することにより、前記シラノール縮合体微粒子の残留シラノール基をシリル基で化学修飾する工程と、前記シリル基により化学修飾された前記シラノール縮合体微粒子を含むシラノールゾル溶液を半導体基板上に塗布して塗布膜を形成する工程と、前記塗布膜に対して熱処理を施して前記シリル基を熱分解すると共に前記残留シラノール基を脱水縮合させることにより、前記塗布膜を多孔質化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 7】 第 1 の配線層が形成された半導体基板の上に多孔質膜よりなる層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜の上に第 2 の配線層を形成する配線層形成工程とを備えた半導体装置の製造方法であって、

前記層間絶縁膜形成工程は、シラノール溶液に酸又はアルカリの存在下においてシリル化剤を添加することにより、前記シラノール溶液に含まれるシラノールの残留シラノール基をシリル基で化学修飾する工程と、前記シリル基により化学修飾されたシラノールを含むシラノール溶液を半導体基板上に塗布して塗布膜を形成する工程と、前記塗布膜に対して熱処理を施して前記シリル基を熱分解すると共に前記残留シラノール基を脱水縮合させることにより、前記塗布膜を多孔質化する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多孔質膜よりなる層間絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体装置における層間絶縁膜を構成する材料としては、従来から、有機材料と無機材料とが知られている。ところが、有機材料よりなる層間絶縁膜は、比誘電率は比較的低いが耐熱性に劣るという問題が

ある。一方、無機材料よりなる層間絶縁膜は、耐熱性に優れるが比誘電率が高いという問題がある。そこで、耐熱性を維持しつつ比誘電率の低い層間絶縁膜が望まれ、以下に説明するように多孔質膜よりなる層間絶縁膜を形成する技術が提案されている。

【0003】図10は、特公平7-46698号公報に示されている第1の従来例に係る半導体装置の断面構造を示している。図10に示すように、半導体基板110の上に金属配線111が形成され、該金属配線111を含む半導体基板110の上に全面に亘って多孔質膜よりなる層間絶縁膜112が形成されている。

【0004】図11は、特公平6-12790号公報に示されている第2の従来例に係る半導体装置の断面構造を示している。図11に示すように、半導体基板120の上に金属配線121が形成され、該金属配線121を含む半導体基板120の上に全面に亘ってCVD法により第1のSOG膜122が形成され、該第1のSOG膜122の上に有機系の多孔質膜123が形成され、該多孔質膜123の上にCVD法により第2のSOG膜124が形成されており、これら第1のSOG膜122、有機系の多孔質膜123及び第2のSOG膜124により層間絶縁膜が構成されている。

【0005】ところで、前記の第1及び第2の従来例においては、多孔質膜の形成方法については特に説明がなされていないので、以下の文献に示されている多孔質膜の形成方法を考慮した。

【0006】まず、第1の多孔質膜の形成方法として、IEEE Transactions on components, hybrids, and manufacturing technology, Vol. 15, No. 6 p. 925 (1992)に開示されている方法が挙げられる。すなわち、耐熱性の高い有機高分子前駆体と耐熱性の低い有機高分子前駆体との共重合体からなる有機高分子膜を形成した後、該有機高分子膜に対して熱処理を施して耐熱性の低い有機部分を分解することにより、有機高分子材料よりなる多孔質膜を形成する方法である。

【0007】次に、第2の多孔質膜の形成方法として、Makromol. Chem., Macromol. Symp. 42/43, 303 (1991)に開示されている方法が挙げられる。すなわち、シラノールゾルと有機高分子との混合溶液から、有機高分子を含有するシリカフィルムを形成した後、該シリカフィルムに熱処理を施して有機高分子を熱分解することにより、無機材料よりなる多孔質膜を形成する方法である。

【0008】

【発明が解決しようとする課題】ところが、多孔質膜よりなる層間絶縁膜に埋め込み配線を形成する場合には、以下に説明するような問題がある。すなわち、多孔質膜よりなる層間絶縁膜に埋め込み配線用の凹状溝を形成し

た後、該凹状溝に配線材料を埋め込むと、配線材料が多孔質膜の孔に入り込んでしまう。このため、多孔質膜よりなる層間絶縁膜の絶縁性が劣化するという問題、及び配線層の側面に凹凸が形成されてしまうため、配線層の耐エレクトロマイグレーションが劣化して、半導体装置の電気的特性の安定性が損なわれるという問題がある。

【0009】このため、多孔質膜よりなる層間絶縁膜に埋め込み配線を形成することは困難である。

【0010】また、第1の多孔質膜の形成方法によると、有機高分子膜に対する熱処理は、半導体基板を275℃の温度下において9時間程度保持する必要があるもので、多孔質化処理に非常に長い時間を要するという問題がある。これに対して、熱処理の温度を高くして短時間で多孔質膜を形成することも考えられるが、400℃以上の温度下において熱処理を行なうと、有機高分子の分解反応が起こってしまうので、根本的な解決手段にはならない。

【0011】また、第2の多孔質膜の形成方法は、半導体基板を600℃の温度下において24時間程度保持する必要があるので、やはり非常に長い時間を要するという問題がある。これに対して、熱処理の温度を高くして短時間で多孔質膜を形成することも考えられるが、熱処理の温度を高くすると、無機材料のガラス成分が溶けてしまい、溶けたガラス成分が多孔質膜の孔を塞いでしまうので、やはり根本的な解決手段にはならない。

【0012】以上説明したように、従来の多孔質膜の形成方法は、半導体装置の製造工程において多孔質膜よりなる層間絶縁膜を形成するためには利用できないという問題がある。

【0013】前記に鑑み、本発明は、層間絶縁膜に埋め込み配線を形成できるようにすることを第1の目的とし、短時間で低温下且つ常圧下において多孔質膜よりなる層間絶縁膜を形成できるようにすることを第2の目的とする。

【0014】

【課題を解決するための手段】前記の第1の目的を達成するため、請求項1の発明が講じた解決手段は、半導体装置を、第1の配線層が形成された半導体基板と、前記半導体基板の上に形成された第1のシリコン酸化膜と、前記第1のシリコン酸化膜の上に形成された多孔質膜と、前記第1のシリコン酸化膜に形成されたスルーホールと、前記多孔質膜に形成され、前記スルーホールと連通する配線用溝と、前記配線用溝の底部及び壁部に形成された第2のシリコン酸化膜と、前記スルーホールに埋め込まれた導電膜よりなるコンタクトと、前記配線用溝における前記第2のシリコン酸化膜の内側に埋め込まれた導電膜よりなる第2の配線層とを備えている構成とするものである。

【0015】請求項1の構成により、多孔質膜に形成された配線用溝の底部及び壁部には第2のシリコン酸化膜

が形成され、第2の配線層は第2のシリコン酸化膜の内側に埋め込まれているため、つまり、第2の配線層と多孔質膜との間に第2のシリコン酸化膜が介在しているため、第2の配線層を構成する導電性材料が多孔質膜の孔に入り込む事態を回避することができる。

【0016】請求項2の発明は、請求項1の構成に、前記多孔質膜は有機SOG膜又は無機SOG膜よりなる構成を付加するものである。

【0017】請求項3の発明が講じた解決手段は、半導体装置の製造方法を、第1の配線層が形成された半導体基板上に第1のシリコン酸化膜を堆積する第1の工程と、前記第1のシリコン酸化膜の上に多孔質膜を堆積する第2の工程と、前記多孔質膜に配線用溝を形成する第3の工程と、前記配線用溝を含む前記多孔質膜の上に第2のシリコン酸化膜を前記配線用溝が埋まらないように堆積する第4の工程と、前記第2のシリコン酸化膜及び前記第1のシリコン酸化膜にスルーホールを形成する第5の工程と、前記スルーホール及び前記配線用溝を含む前記第2のシリコン酸化膜の上に全面に亘って導電膜を堆積する第6の工程と、前記導電膜における前記第2のシリコン酸化膜の上に露出している部分を除去して、前記導電膜よりなる第2の配線層を形成する第7の工程とを備えている構成とするものである。

【0018】請求項3の構成により、半導体基板上に第1のシリコン酸化膜を介して堆積された多孔質膜に配線用溝を形成した後、該配線用溝を含む多孔質膜の上に第2のシリコン酸化膜を堆積し、その後、導電膜を堆積して第2の配線層を形成するため、つまり、多孔質膜に形成された配線用溝の底部及び壁部に第2のシリコン酸化膜が形成された状態で導電膜を堆積するため、第2の配線層を構成する導電性材料が多孔質膜の孔に入り込む事態を回避することができる。

【0019】請求項4の発明は、請求項3の構成に、前記第2の工程は、シラノール縮合体微粒子を含むシラノールゾル溶液にシリル化剤を添加することにより、前記シラノール縮合体微粒子の残留シラノール基をシリル基で化学修飾する工程と、前記シリル基により化学修飾された前記シラノール縮合体微粒子を含むシラノールゾル溶液を半導体基板上に塗布して塗布膜を形成する工程と、前記塗布膜に対して熱処理を施して前記シリル基を熱分解すると共に前記残留シラノール基を脱水縮合させることにより、前記塗布膜を多孔質化する工程とを含む構成を付加するものである。

【0020】請求項4の構成により、シリル基により化学修飾されたシラノール縮合体微粒子を含むシラノールゾル溶液を半導体基板上に塗布して塗布膜を形成した後、該塗布膜に対して熱処理を施すと、シラノール縮合体微粒子を化学修飾しているシリル基が熱分解してシラノール縮合体微粒子同士の間に孔が形成されると共に、残留シラノール基が脱水縮合して前記の孔を取り囲むよ

うにシラノール縮合体微粒子が凝縮する。

【0021】請求項5の発明は、請求項3の構成に、前記第2の工程は、シラノール溶液に酸又はアルカリの存在下においてシリル化剤を添加することにより、前記シラノール溶液に含まれるシラノールの残留シラノール基をシリル基で化学修飾する工程と、前記シリル基により化学修飾されたシラノールを含むシラノール溶液を半導体基板上に塗布して塗布膜を形成する工程と、前記塗布膜に対して熱処理を施して前記シリル基を熱分解すると共に前記残留シラノール基を脱水縮合させることにより、前記塗布膜を多孔質化する工程とを含む構成を付加するものである。

【0022】請求項5の構成により、シリル基により化学修飾されたシラノールを含むシラノール溶液を半導体基板上に塗布して塗布膜を形成した後、該塗布膜に対して熱処理を施すと、シリル基が熱分解することにより形成された孔を取り囲むようにして残留シラノール基が脱水縮合するため、内部に孔を有するシラノール縮合体微粒子が形成される。

【0023】請求項6の発明が講じた解決手段は、第1の配線層が形成された半導体基板上に多孔質膜よりなる層間絶縁膜を形成する層間絶縁膜形成工程と、前記層間絶縁膜の上に第2の配線層を形成する配線層形成工程とを備えた半導体装置の製造方法を対象とし、前記層間絶縁膜形成工程は、シラノール縮合体微粒子を含むシラノールゾル溶液にシリル化剤を添加することにより、前記シラノール縮合体微粒子の残留シラノール基をシリル基で化学修飾する工程と、前記シリル基により化学修飾された前記シラノール縮合体微粒子を含むシラノールゾル溶液を半導体基板上に塗布して塗布膜を形成する工程と、前記塗布膜に対して熱処理を施して前記シリル基を熱分解すると共に前記残留シラノール基を脱水縮合させることにより、前記塗布膜を多孔質化する工程とを含む構成とするものである。

【0024】請求項6の構成により、請求項4の構成と同様、シラノール縮合体微粒子を化学修飾しているシリル基が熱分解してシラノール縮合体微粒子同士の間に孔が形成されると共に、残留シラノール基が脱水縮合して前記の孔を取り囲むようにシラノール縮合体微粒子が凝縮する。

【0025】請求項7の発明が講じた解決手段は、第1の配線層が形成された半導体基板上に多孔質膜よりなる層間絶縁膜を形成する層間絶縁膜形成工程と、前記層間絶縁膜の上に第2の配線層を形成する配線層形成工程とを備えた半導体装置の製造方法を対象とし、前記層間絶縁膜形成工程は、シラノール溶液に酸又はアルカリの存在下においてシリル化剤を添加することにより、前記シラノール溶液に含まれるシラノールの残留シラノール基をシリル基で化学修飾する工程と、前記シリル基により化学修飾されたシラノールを含むシラノール溶液を半

導体基板上に塗布して塗布膜を形成する工程と、前記塗布膜に対して熱処理を施して前記シリル基を熱分解すると共に前記残留シラノール基を脱水縮合させることにより、前記塗布膜を多孔質化する工程とを含む構成とするものである。

【0026】請求項7の構成により、請求項5の構成と同様、シリル基が熱分解することにより形成された孔を取り囲むようにして残留シラノール基が脱水縮合するため、内部に孔を有するシラノール縮合体微粒子が形成される。

【0027】

【発明の実施の形態】

(第1の実施形態) 以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について図1(a)～(d)を参照しながら説明する。

【0028】まず、図1(a)に示すように、例えばシリコンよりなる半導体基板20の上にCVD法により例えば500nmの膜厚を有する第1のシリコン酸化膜21を堆積した後、該第1のシリコン酸化膜21の上に例えば400nmの膜厚を有する多孔質膜22を堆積する。その後、多孔質膜22の上にレジストパターンを形成した後、該レジストパターンをマスクとして多孔質膜22に対してエッチングを行なって、多孔質膜22に配線用溝22aを形成する。

【0029】次に、図1(b)に示すように、多孔質膜22の上に全面に亘ってCVD法により例えば20nmの膜厚を有する第2のシリコン酸化膜23を堆積する。

【0030】次に、図1(c)に示すように、第2のシリコン酸化膜23の上にレジストパターンを形成した後、該レジストパターンをマスクとして第1のシリコン酸化膜21及び第2のシリコン酸化膜23に対してエッチングを行なって、第1のシリコン酸化膜21及び第2のシリコン酸化膜23にスルーホール21aを形成する。

【0031】次に、図1(d)に示すように、全面に亘って導電膜24を堆積した後、該導電膜24における第2のシリコン酸化膜23の上に露出している部分に対してCMPを行なって、導電膜24よりなる配線層を形成する。

【0032】第1の実施形態によると、多孔質膜22における配線用溝22aの表面に第2のシリコン酸化膜23が堆積されているため、導電膜24を構成する導電性材料が多孔質膜22の孔に入り込まないので、多孔質膜22の絶縁性の劣化を防止できると共に、配線層の耐エレクトロマイグレーションの劣化も防止することができる。

【0033】(第2の実施形態) 以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について説明する。第2の実施形態は、第1の実施形態における多孔質膜22の形成方法に特徴を有するので、以下におい

ては、多孔質膜22の形成方法についてのみ説明する。

【0034】まず、図2に示すようなシラノール縮合体微粒子を含む溶液であるシラノールゾル溶液を準備し、該シラノールゾル溶液に含まれるシラノール縮合体微粒子の残留シラノール基(Si-OH)をシリル化剤によりシリル化する。図3はシリル化反応を示しており、図4はシリル化反応により得られるシリル化シラノール縮合体微粒子を示している。図4においてxはシリル基である。表面のシラノール基を構成するOH基の少なくとも一部がシリル基により置換されることにより、残留シラノールがシリル基で化学修飾されたシラノール縮合体微粒子(シリル化シラノール縮合体微粒子)が得られる。図5(a)は、シラノール縮合体微粒子とシリル基とが反応してシリル化シラノール縮合体微粒子が形成される状態を示している。

【0035】シラノール縮合体微粒子としては、図2に示すように、Si-H結合を有するものが挙げられる。

【0036】シリル化剤としてはトリフェニルシラノールを用いることが好ましい。その理由は、シリル化反応を促進させ易いと共に後述する熱処理工程において熱分解し易いためである。

【0037】シリル化反応の温度としては、室温から50℃程度の範囲が適当である。

【0038】シリル化剤の添加量によって、多孔質膜の孔のサイズを20～80nm程度に制御することができ、多孔質膜の孔のサイズはシリル化剤の添加量が多いほど大きくなる。

【0039】シリル化の反応時間としては30分程度が適当であるが、シリル化剤の種類によって変化させることが好ましい。

【0040】尚、前述したシラノールゾルを含む溶液を得る工程は、半導体装置の製造工程と切り離して行なうことができるので、半導体装置の製造工程に要する時間とは別途に考えることができる。

【0041】次に、図5(b)に示すように、シリル化シラノール縮合体微粒子を含む溶液を半導体基板上に回転塗布して塗布膜を形成する。回転塗布における回転数は、良好な塗布膜の形成が可能な範囲で適当に設定することができるが、2000～4000r.p.m.が適当である。

【0042】次に、塗布膜に対して第1の熱処理を施すことにより、図5(c)に示すように、シリル基を熱分解して脱シリル化処理を行なう。尚、図5(c)において、丸印は熱分解するシリル基を示している。この第1の熱処理としては、100℃～200℃の温度下で1分間～5分間程度が好ましい。

【0043】次に、脱シリル化処理が行なわれた塗布膜に対して第2の熱処理を施して、残留シラノール基を脱水縮合させることにより、図5(d)に示すような多孔質膜を形成する。第2の熱処理としては、400℃～4

50℃の温度で30分間～1時間程度が好ましい。

【0044】このようにして、シラノール縮合体微粒子 ($(\text{SiO}_2)_n$) の表面に形成されたシリル化層が熱分解して、微粒子同士の間に孔が形成されることにより、図6に示すような多孔質膜が形成される。

【0045】以上のように、第2の実施形態によると、多孔質膜の形成工程において、9時間から24時間といった長時間の熱処理が必要でなく共に、比較的低い温度で熱処理を行なうことが可能となる。

【0046】(実施例) 以下、第2の実施形態を具体化する実施例について説明する。

【0047】 SiO_2 換算10wt%のシラノール縮合体微粒子を含む溶液5mlに、シリル化剤としてのトリフェニルシラノールを200mg添加して得られたシラノールゾル溶液を攪拌して、シラノールゾル溶液中のシラノール縮合体微粒子を溶解した後、室温で17時間放置した。次に、シラノールゾル溶液を0.2μmのフィルターを通過させながら6インチのシリコンよりなる半導体基板の上に滴下した後、半導体基板を4000r.p.m.で回転させながら20秒間保持して回転塗布することにより、半導体基板上に塗布膜を形成した。この場合、シラノールゾル溶液をフィルターを通過させる理由は、シラノールゾル溶液中の不純物を除去するためである。その後、赤外スペクトル(FTIR)を用いて、トリフェニルシラノールによりシリル化処理が行なわれたことを確認した。

【0048】次に、ホットプレートを用いて塗布膜を160℃の温度下で3分間の第1の熱処理を行なった後、電気炉を用いて窒素雰囲気中における400℃の温度下で30分間の第2の熱処理を行なった。

【0049】第1の熱処理の後に、赤外スペクトルによる測定を行なったところ、トリフェニルシラノール基に基づく吸収ピークは消失しており、第1の熱処理により塗布膜に孔が形成されていることが観察された。

【0050】また、第2の熱処理の後にSEMにより塗布膜の表面を観察して、塗布膜が多孔質化していることを確認した。その後、分光エリブソ法により多孔質膜を観察したところ、膜厚は357nmであって、屈折率は1.25であった。また、CV法により1MHzで多孔質膜の比誘電率を測定したところ、比誘電率は2.3であった。

【0051】尚、シリル化剤としては、トリフェニルシラノールに代えて、トリアルキルアルコキシシラン(アルキル基:メチル、エチル、プロピル、ブチル;アルコキシ基:エトキシ、メトキシ)、トリアルキルクロロシラン(アルキル基:メチル、エチル、プロピル、ブチル)、トリアルキルシラノール(アルキル基:メチル、エチル、プロピル、ブチル)、ヘキサフェニルジシロキサン、アルコキシトリフェニルシラン、クロロトリフェニルシラン、ジフェニルジアルコキシシラン又はジフェ

ニルシラノールを用いることもできる。

【0052】(第3の実施形態) 以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について説明する。第3の実施形態も、第1の実施形態における多孔質膜22の形成方法に特徴を有するので、以下においては、多孔質膜22の形成方法についてのみ説明する。

【0053】まず、テトラエトキシシランとトリエトキシシランとの混合物を加水分解してシラノール溶液を生成する。図7(a)は、テトラエトキシシランが加水分解して第1の反応生成物(シラノール)が生成される状態を示しており、図7(b)は、トリエトキシシランが加水分解して第2の反応生成物(シラノール)が生成される状態を示している。この場合、図7(c)に示すように、第1の反応生成物と第2の反応生成物との脱水縮合反応も起きる。この場合、加水分解のために加える水のほかに、溶媒としてエタノール又はエーテル類の混合液を加えてもよい。また、テトラエトキシシランとトリエトキシシランとの混合物に代えて、トリエトキシシランの単体を用いてもよい。前記の混合物を用いる場合には、混合比としては、モル比で2:1～1:2が適当である。

【0054】次に、図7(c)に示すような、第1の反応生成物(シラノール)と第2の反応生成物(シラノール)との脱水縮合反応が起きて、凝集によりシラノール縮合体微粒子が形成されるつとあるときに、酸又はアルカリの存在下でシリル化剤例えばトリフェニルシラノールを加える。このようにすると、図8(a)に示すように、第1の反応生成物とトリフェニルシラノールとが反応して第3の反応生成物が生成されると共に、図8(b)に示すように、第2の反応生成物とトリフェニルシラノールとが反応して第4の反応生成物が生成される。また、第1の反応生成物と第2の反応生成物とが脱水縮合反応を起こしてシラノール縮合体微粒子が形成される過程において、第3の反応生成物及び第4の反応生成物がシラノール縮合体微粒子中に取り込まれていくため、第3の反応生成物及び第4の反応生成物を取り込まれたシラノール縮合体微粒子が形成される。

【0055】尚、シリル化反応工程において用いる酸又はアルカリとしては、酢酸等のプロトン酸又はアミン類が挙げられる。

【0056】また、シリル化反応の温度としては室温から50℃の範囲が好ましく、シリル化反応の時間としては5時間～20時間が好ましい。このような反応温度及び反応時間に設定すると、シラノールの脱水縮合反応による凝集と、シリル化剤による残留シラノール基のシリル化とが並行して進行するので、第3の反応生成物及び第4の反応生成物を取り込まれたシラノール縮合体微粒子が形成される。

【0057】次に、第3の反応生成物及び第4の反応生成物を取り込まれたシラノール縮合体微粒子を含むシラ

ノールゾル溶液を半導体基板上に回転塗布して塗布膜を形成する。回転塗布における回転数は、良好な塗布膜の形成が可能な範囲で適当に設定することができるが、2000～4000r.p.m.が適当である。

【0058】次に、塗布膜に対して第1の熱処理を施すことにより、シラノール縮合体微粒子中のシリル基を熱分解して脱シリル化処理を行なう。第1の熱処理としては、100℃～200℃の温度下で1分間～5分間程度が好ましい。

【0059】次に、脱シリル化処理が行なわれた塗布膜に対して第2の熱処理を施して、残留シラノール基を脱水縮合させることにより多孔質膜を形成する。第2の熱処理としては、400℃～450℃の温度で30分間～1時間程度が好ましい。

【0060】このようにして、図9に示すように、シラノール縮合体微粒子中のシリル基が熱分解して微粒子の内部に孔が生成されることにより多孔質膜が形成される。

【0061】以上のように、第3の実施形態によると、多孔質膜の形成工程において、9時間から24時間といった長時間の熱処理が必要でないと共に、比較的低い温度で熱処理を行なうことが可能となる。

【0062】第2の実施形態においては、シラノール縮合体微粒子同士の間孔が形成されることにより多孔質膜が形成されるのに対して、第3の実施形態によると、シラノール縮合体微粒子の内部に孔が形成されることにより多孔質膜が形成されるので、第2の実施形態に比べて多孔質の孔のサイズが小さくなる。

【0063】(実施例) 以下、第3の実施形態を具体化する実施例について説明する。

【0064】まず、トリエトキシシラン500mgをエタノール5mlに加えた後、酢酸5μlを激しく攪拌しながら加えて第1の混合溶液を得た後、該第1の混合溶液を室温で1時間放置した。次に、第1の混合溶液にシリル化剤としてのトリフェニルシラノール200mgを攪拌しながら添加して第2の混合溶液を得た後、該第2の混合溶液を室温で17時間放置した。次に、第2の混合溶液2mlを0.2μmのフィルターを通過させながら半導体基板上に滴下した後、半導体基板を4000r.p.m.で回転させながら20秒間保持して回転塗布することにより、半導体基板上に塗布膜を形成した。

【0065】次に、ホットプレートを用いて160℃の温度下で3分間の第1の熱処理を行なった後、電気炉を用いて窒素雰囲気中において400℃の温度下で30分間の第2の熱処理を行なった。

【0066】第1の熱処理の後に、赤外スペクトルによる測定を行なったところ、トリフェニルシラノール基に基づく吸収ピークは消失しており、第1の熱処理により塗布膜に孔が形成されていることが観察された。

【0067】また、第2の熱処理の後にSEMにより塗

布膜の表面を観察して、塗布膜が多孔質化していることを確認した。その後、分光エリプソ法により多孔質膜を観察したところ、膜厚は370nmであって、屈折率は1.22であった。また、CV法により1MHzで多孔質膜の比誘電率を測定したところ、比誘電率は2.1であった。

【0068】尚、シリル化剤としては、トリフェニルシラノールに代えて、トリアルキルアルコキシシラン(アルキル基:メチル、エチル、プロピル、ブチル;アルコキシ基:エトキシ、メトキシ)、トリアルキルクロシラン(アルキル基:メチル、エチル、プロピル、ブチル)、トリアルキルシラノール(アルキル:メチル、エチル、プロピル、ブチル)、ヘキサフェニルジシロキサン、アルコキシトリフェニルシラン、クロロトリフェニルシラン、ジフェニルジアルコキシシラン又はジフェニルシラノールを用いることもできる。

【0069】また、本実施例においては、酢酸をシラノールの脱水縮合の触媒として使用したが、これに代えて、プロトン酸であれば、他の酸を用いることができる。

【0070】また、触媒としては、酸に代えて、アミン類等のアルカリを用いることもできる。

【0071】

【発明の効果】請求項1の発明に係る半導体装置によると、第2の配線層と多孔質膜との間に第2のシリコン酸化膜が介在しているため、第2の配線層を構成する導電性材料が多孔質膜の孔に入り込まないので、多孔質膜よりなる層間絶縁膜の絶縁性の劣化及び第2の配線層の耐エレクトロマイグレーションの劣化を防止できる。これにより、多孔質膜よりなる層間絶縁膜に埋め込み配線を形成することが可能になる。

【0072】請求項2の発明に係る半導体装置によると、多孔質膜が有機SOG膜よりなるときには比誘電率の低い絶縁膜を実現することができ、多孔質膜が無機SOG膜よりなるときには耐熱性に優れた絶縁膜を実現することができる。

【0073】請求項3の発明に係る半導体装置の製造方法によると、多孔質膜に形成された配線用溝の底部及び壁部に第2のシリコン酸化膜が形成された状態で導電膜を堆積するため、第2の配線層を構成する導電性材料が多孔質膜の孔に入り込む事態を回避できるので、多孔質膜よりなる層間絶縁膜の絶縁性の劣化及び第2の配線層の耐エレクトロマイグレーションの劣化を防止できる請求項1の発明に係る半導体装置を確実に製造することができる。

【0074】請求項4の発明に係る半導体装置の製造方法によると、シラノール縮合体微粒子を化学修飾しているシリル基が熱分解してシラノール縮合体微粒子同士の間孔が形成された後、残留シラノール基が脱水縮合して微粒子同士の間孔を取り囲むようにシラノール縮

体微粒子が凝縮するため、半導体基板上の塗布膜は確実に多孔質化するので、無機材料よりなる多孔質膜を有する層間絶縁膜を確実に形成することができる。

【0075】請求項5の発明に係る半導体装置の製造方法によると、シリル基が熱分解することにより形成された孔を取り囲むようにして残留シラノール基が脱水縮合するため、内部に孔を有するシラノール縮合体微粒子が形成されるので、無機材料よりなる多孔質膜を有する層間絶縁膜を確実に形成することができる。

【0076】請求項6の発明に係る半導体装置の製造方法によると、請求項4の発明と同様、シラノール縮合体微粒子を化学修飾しているシリル基が熱分解してシラノール縮合体微粒子同士の間に孔が形成された後、残留シラノール基が脱水縮合して微粒子同士の間の孔を取り囲むようにシラノール縮合体微粒子が凝縮するため、半導体基板上の塗布膜は確実に多孔質化するので、無機材料の多孔質膜よりなる層間絶縁膜を確実に形成することができる。

【0077】請求項7の発明に係る半導体装置の製造方法によると、請求項5の発明と同様、シリル基が熱分解することにより形成された孔を取り囲むように残留シラノール基が脱水縮合して、内部に孔を有するシラノール縮合体微粒子が形成されるので、無機材料の多孔質膜よりなる層間絶縁膜を確実に形成することができる。

【図面の簡単な説明】

【図1】(a)～(d)は、本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

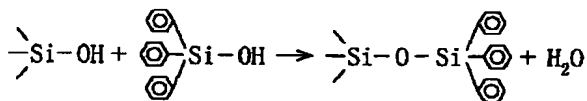
【図2】本発明の第2の実施形態に係る半導体装置の製造方法に用いるシラノール縮合体微粒子を示す図である。

【図3】本発明の第2の実施形態に係る半導体装置の製造方法におけるシリル化反応を示す図である。

【図4】本発明の第2の実施形態に係る半導体装置の製造方法において、シラノール縮合体微粒子の残留シラノール基がシリル化された状態を示す図である。

【図5】(a)～(d)は本発明の第2の実施形態に係

【図3】



る半導体装置の製造方法の各製造工程を示す模式図である。

【図6】本発明の第2の実施形態に係る半導体装置の製造方法において、シリル化シラノール縮合体微粒子を含むシラノールゾルから多孔質膜が形成される状態を示す模式図である。

【図7】(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法における化学反応を示しており、(a)はテトラエトキシシランが加水分解して第1の反応生成物が生成される状態を示し、(b)はトリエトキシシランが加水分解して第2の反応生成物が生成される状態を示し、(c)は第1の反応生成物と第2の反応生成物との脱水縮合反応を示している。

【図8】(a)、(b)は本発明の第2の実施形態に係る半導体装置の製造方法における化学反応を示しており、(a)は第1の反応生成物とトリフェニールシラノールとが反応して第3の反応生成物が生成される状態を示し、(b)は第2の反応生成物とトリフェニールシラノールとが反応して第4の反応生成物が生成される状態を示している。

【図9】本発明の第3の実施形態に係る半導体装置の製造方法において、第3及び第4の反応生成物が取り込まれたシラノール縮合体微粒子からシリル基が熱分解すると共に残留シラノール基が脱水縮合して微粒子内に孔が形成された状態を示す模式図である。

【図10】第1の従来例に係る半導体装置の断面図である。

【図11】第2の従来例に係る半導体装置の断面図である。

【符号の説明】

20 半導体基板

21 第1のシリコン酸化膜

21a スルーホール

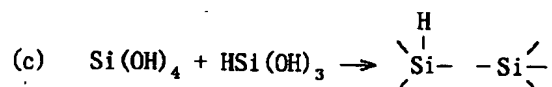
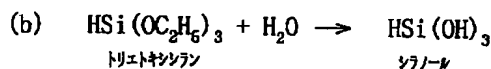
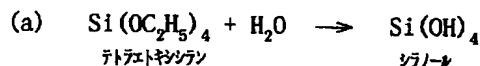
22 多孔質膜

22a 配線用溝

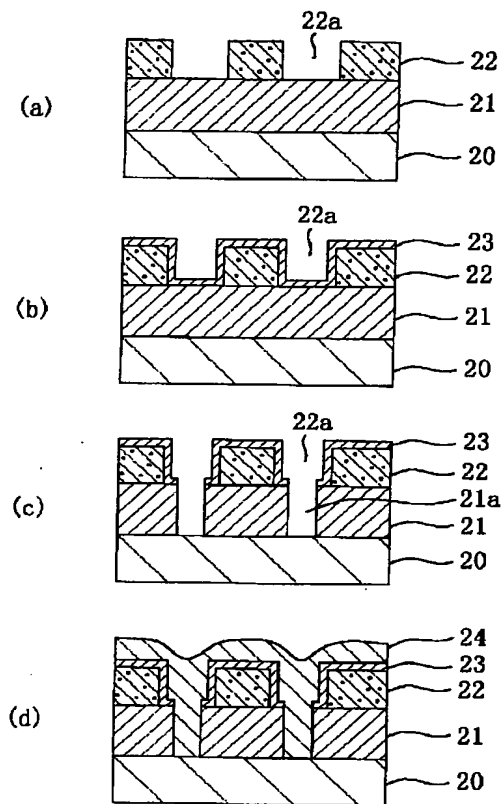
23 第2のシリコン酸化膜

24 導電膜

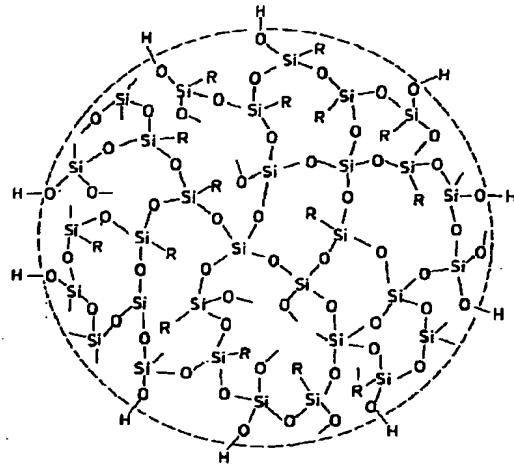
【図7】



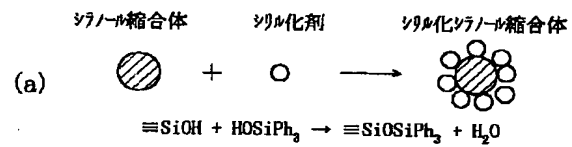
【図 1】



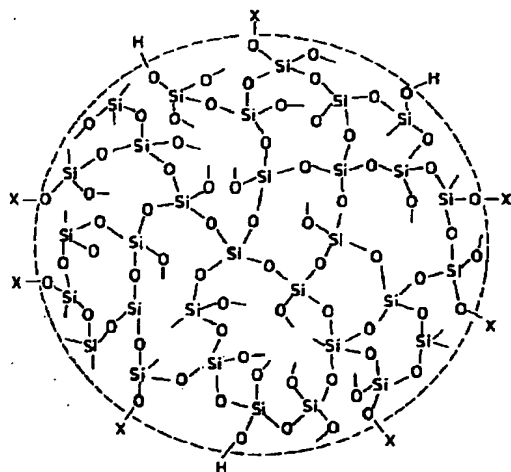
【図 2】



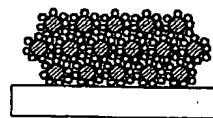
【図 5】



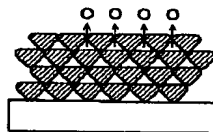
【図 4】



(b)



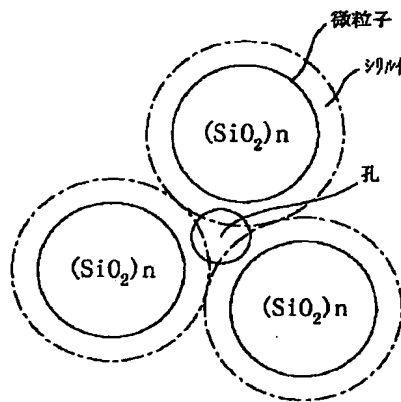
(c)



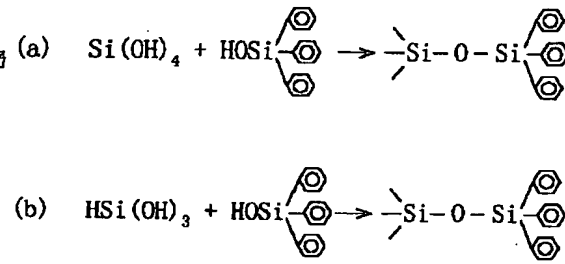
(d)



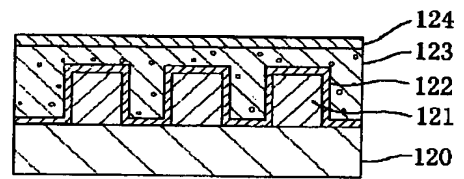
【図6】



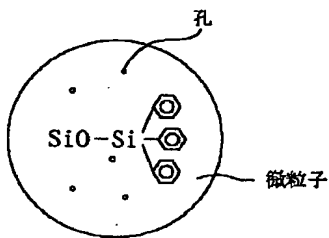
【図8】



【図11】



【図9】



【図10】

